补充1：某容量为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成，该 DRAM 芯片的 地址引脚和数据引脚总数是 。

A．19 B．22 C．30 D．36

解．4M×8 位的芯片数据线应为 8 根，地址线应为 log24M=22 根，而 DRAM 采用地址 复用技术，地址线是原来的 1/2，且地址信号分行、列两次传送。地址线数为 22/2=11 根，所以地址引脚与数据引脚的总数为 11+8=19 根，选 A。

此题需要注意的是 DRAM 是采用传两次地址的策略的，所以地址线为正常的一半，这 是很多考生容易忽略的地方此题需要注意的是 DRAM 是采用传两次地址的策略的，所以地址线为正常的一半，这是很多考生容易忽略的地方。

补充2：采用指令 Cache 与数据 Cache 分离的主要目的是 。

A．降低 Cache 的缺失损失 B．提高 Cache 的命中率

C．降低 CPU 平均访存时间 D．减少指令流水线资源冲突

解．D。把指令 Cache 与数据 Cache 分离后，取指和取数分别到不同的 Cache 中寻找，那么指令流水线中取指部分和取数部分就可以很好的避免冲突，即减少了指令流水线的冲突。

补充3：某32位计算机，CPU主频为800MHz，Cache命中时的CPI为4，Cache块大小为32字节；主存采用8体交叉存储方式，每个体的存储字长为32位、存储周期为40 ns；存储器总线宽度为32位，总线时钟频率为200 MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送32字节，传送地址或32位数据均需要一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

（1）CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？

（2）Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？

（3）存储器总线完成一次读突发传送总线事务所需的时间是多少？

（4）若程序BP执行过程中，共执行了100 条指令，平均每条指令需进行1.2 次访存， Cache缺失率为5%，不考虑替换等开销，则BP的CPU执行时间是多少？

【参考答案】

（1）CPU的时钟周期为：1/800 MHz = 1.25 ns。

总线的时钟周期为：1/200 MHz = 5 ns。

总线带宽为：4 B×200 MHz = 800 MB/s或4 B/5 ns = 800 MB/s。

（2）Cache块大小是32 B，因此Cache缺失时需要一个读突发传送总线事务读取一个主存块。

（3）一次读突发传送总线事务包括一次地址传送和32 B数据传送：用1个总线时钟周期传输地址；每隔40 ns/8 = 5 ns启动一个体工作（各进行1次存取），第一个体读数据花费40 ns，之后数据存取与数据传输重叠；用8个总线时钟周期传输数据。读突发传送总线事务时间：5 ns + 40 ns + 8×5 ns = 85 ns。

（4）BP的CPU执行时间包括Cache命中时的指令执行时间和Cache缺失时带来的额外开销。命中时的指令执行时间：100×4×1.25 ns = 500 ns。指令执行过程中Cache缺失时的额外开销：1.2×100×5%×85 ns = 510 ns。BP的CPU执行时间：500 ns+510 ns=1010 ns。